

(51)

(19) BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES



PATENTAMT

Int. Cl. 7:

G 11 C 17/00

G 11 C 7/00

DE 28 40 305 A 1

(11)

# Offenlegungsschrift 28 40 305

(21)

Aktenzeichen:

P 28 40 305.6-53

(22)

Anmeldetag:

15. 9. 78.

(43)

Offenlegungstag:

27. 3. 80

(30)

Unionspriorität:

(32) (33) (31)

(54)

Bezeichnung:

Verfahren zum Programmieren von beschreibbaren  
Festwertspeichern

(71)

Anmelder:

Siemens AG, 1000 Berlin und 8000 München

(72)

Erfinder:

Heitmann, Jürgen, Dr.-Ing., 8000 München

Prüfungsantrag gem. § 28 b PatG ist gestellt

BEST AVAILABLE COPY

3. 80 030 013/304

7/70

(P2)

P2-P

1K

DE 28 40 305 A 1

2840305

- 1 - VPA

78 P 2 3 8 1 BRD

Patentansprüche

1. Verfahren zum Programmieren von beschreibbaren Festwert-  
speichern, bei denen Binärwerte in Speicherzellen durch  
5 Programmiersignale eingespeichert und/oder geändert werden,  
d a d u r c h g e k e n n z e i c h n e t, daß der ge-  
rade zu beschreibenden Speicherzelle ein dem einzuspeichern-  
den Binärwert zugeordnetes Programmiersignal (PR) zugeführt  
10 wird, daß durch Lesen des Inhalts der Speicherzelle eine  
Prüfzeitdauer (T1) ermittelt wird, nach der der Binärwert  
erstmalig in der Speicherzelle gespeichert ist und daß in  
Abhängigkeit von der Prüfzeitdauer (T1) die für eine dauer-  
hafte Speicherung des Binärwerts erforderliche Gesamtdauer  
(T2) des Programmiersignals (PR) festgelegt wird.
- 15
2. Verfahren nach Anspruch 1, d a d u r c h g e k e n n -  
z e i c h n e t, daß das Programmiersignal (PR) aus kurzen  
Programmierimpulsen gebildet wird, daß nach jedem Program-  
mierimpuls die Speicherzelle ausgelesen wird und daß die  
20 Gesamtdauer (T2) des Programmiersignals (PR) durch die Ge-  
samtzahl der Programmierimpulse festgelegt wird.
3. Verfahren nach Anspruch 1 oder Anspruch 2, d a d u r c h  
g e k e n n z e i c h n e t, daß die Gesamtdauer (T2) des  
25 Programmiersignals (PR) aus der Prüfzeitdauer (T1) durch  
Berechnung ermittelt wird.
4. Verfahren nach Anspruch 1 oder Anspruch 2, d a d u r c h  
g e k e n n z e i c h n e t, daß die Gesamtdauer (T2) des  
30 Programmiersignals (PR) in Abhängigkeit von der Prüfzeit-  
dauer (T2) tabellarisch gespeichert ist.
5. Verfahren nach einem der Ansprüche 1 bis 4, d a d u r c h  
g e k e n n z e i c h n e t, daß die Programmierung beendet  
35 wird, falls die ermittelte Gesamtdauer (T2) des Programmier-

030013/0304

signals (PR) eine vorgegebene maximale Programmierzeitdauer überschreitet.

5 6. Schaltungsanordnung zur Durchführung des Verfahrens nach  
Anspruch 1, g e k e n n z e i c h n e t durch eine die  
Programmiersignale (PR) in Abhängigkeit von den einzuspei-  
chernden Binärwerten erzeugende Programmierstufe (PS),  
durch einen den aus der gerade zu beschreibenden Speicher-  
zelle gelesenen Binärwert mit dem einzuspeichernden Binär-  
10 wert vergleichenden Vergleicher (VG), durch eine die Prüf-  
zeitdauer (T1) messende und die Gesamtdauer (T2) des Pro-  
grammiersignals (PR) ermittelnde Schaltstufe (SS) und durch  
einen den zeitlichen Ablauf der Programmierung steuernden  
Taktgeber (TG).

15 7. Schaltungsanordnung nach Anspruch 6, d a d u r c h  
g e k e n n z e i c h n e t, daß ein Zwischenspeicher (ZS)  
vorgesehen ist, in dem die einzuspeichernden Binärwerte  
während der Programmierung gespeichert werden.

20 8. Schaltungsanordnung nach Anspruch 6 oder Anspruch 7,  
d a d u r c h g e k e n n z e i c h n e t, daß die  
Schaltstufe (SS) ein Rechenwerk enthält, das aus der Prüf-  
zeitdauer (T1) die Gesamtdauer (T2) der Programmiersignale  
25 (PR) errechnet.

9. Schaltungsanordnung nach Anspruch 6 oder Anspruch 7,  
d a d u r c h g e k e n n z e i c h n e t, daß die  
Schaltstufe (SS) einen Speicher enthält, in dem verschie-  
30 dene Prüfzeitdauern (T1) zugeordnete Gesamtzeitdauern (T2)  
gespeichert sind.

10. Schaltungsanordnung nach einem der Ansprüche 6 bis 9,  
d a d u r c h g e k e n n z e i c h n e t, daß der Ver-  
35 gleicher (VG), die Schaltstufe (SS) und der Taktgeber (TG)  
Bestandteile eines Mikroprozessors sind.

SIEMENS AKTIENGESELLSCHAFT  
Berlin und München

Unser Zeichen

VPA

78 P 2 3 8 1 BRD

5 Verfahren zum Programmieren von beschreibbaren Festwert-  
speichern.

Die Erfindung bezieht sich auf ein Verfahren zum Program-  
mieren von beschreibbaren Festwertspeichern, bei denen Bi-  
10 närwerte in Speicherzellen durch Programmiersignale einge-  
speichert und/oder geändert werden. Weiterhin bezieht sich  
die Erfindung auf eine Schaltungsanordnung zur Durchfüh-  
rung des Verfahrens.

15 Als beschreibbare Festwertspeicher sind elektrisch program-  
mierbare, elektrisch löschbare und elektrisch änderbare  
Festwertspeicher bekannt. Die Programmierung dieser Fest-  
wertspeicher erfolgt durch Programmiersignale, die, in Ab-  
hängigkeit von den einzuspeichernden Binärwerten, den ent-  
20 sprechenden Speicherzellen zugeführt werden. Diese Program-  
miersignale müssen während einer vorgegebenen Programmier-  
dauer anliegen, um sicherzustellen, daß die Binärwerte über  
eine längere Zeitdauer im Festwertspeicher gespeichert blei-  
ben. Ein Maß für die Sicherheit der Informationserhaltung  
25 im Festwertspeicher ist der Programmiergrad. Der Program-

Ret 1 Ram /13.9.1978

030013/0304

5 mierungsgrad nimmt mit zunehmender Programmierdauer bis zu  
einem Wert von 100 % zu. Bei gleicher Programmierzeit kann  
der Programmierungsgrad in Abhängigkeit von den verwendeten  
Festwertspeicherbausteinen und auch von Speicherzelle zu  
10 Speicherzelle innerhalb eines Festwertspeicherbausteins  
in einem verhältnismäßig breiten Bereich streuen. Weiterhin  
hängt der Programmierungsgrad von der Temperatur des Festwert-  
speichers während der Programmierung ab und zwar nimmt der  
Programmiergrad, ausgehend von einem Wert von 100 % mit  
steigender Temperatur ab. Schließlich hängt der Programmier-  
grad auch von der Programmierspannung, also von der Ampli-  
tude des Programmiersignals ab.

15 Bei dem bekannten Verfahren zum Programmieren der Festwert-  
speicher müssen somit stark eingeschränkte Zeit-, Tempera-  
tur- und Spannungsbereiche beachtet werden. Die Zeitberei-  
che werden dabei so gewählt, daß der gewünschte Programmier-  
grad mit Sicherheit erreicht wird. Falls der gewünschte  
20 Programmierungsgrad jedoch bei verschiedenen Festwertspeichern  
oder Speicherzellen früher erreicht wird, wird dies bei  
dem bekannten Verfahren nicht berücksichtigt. Außerdem kön-  
nen diejenigen Festwertspeicher nicht verwendet werden,  
bei denen der notwendige Programmierungsgrad bei einem größeren  
Temperatur- oder Spannungsbereich nicht erreicht wird.  
25

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfah-  
ren zum Programmieren von Festwertspeichern anzugeben, bei  
dem die Programmierdauer selbsttätig an die Eigenschaften  
des Festwertspeichers oder der einzelnen Speicherzellen  
30 angepaßt wird.

Erfindungsgemäß wird die Aufgabe bei dem Verfahren der ein-  
gangs genannten Art dadurch gelöst, daß der gerade zu be-  
schreibenden Speicherzelle ein dem einzuspeichernden Binär-  
35 wert zugeordnetes Programmiersignal zugeführt wird, daß  
durch Lesen des Inhalts der Speicherzelle eine Prüfzeit-  
dauer ermittelt wird, nach der der Binärwert erstmals in

5  
- 8 -      VPA    78 P 2 3 8 1 BRD

der Speicherzelle gespeichert ist, und daß in Abhängigkeit von der Prüfzeitdauer die für eine dauerhafte Speicherung des Binärwerts erforderliche Gesamtdauer des Programmiersignals festgelegt wird.

5

Das Verfahren gemäß der vorliegenden Erfindung macht davon Gebrauch, daß aus der Prüfzeitdauer, nach der erstmals der gewünschte Binärwert eingespeichert ist, auf die Gesamtdauer des Programmiersignals geschlossen werden kann, bei dem der Binärwert mit großer Sicherheit über eine längere Zeitdauer im Festwertspeicher gespeichert bleibt.

Das Verfahren hat den Vorteil, daß der Festwertspeicher in kürzerer Zeit programmierbar ist, da die Gesamtdauer jedes Programmiersignals individuell bestimmt wird und nicht auf eine bestimmte bzw. angenommene größte Gesamtdauer festgelegt werden muß. Bei gleicher mittlerer Gesamtdauer für die Programmierung kann ein erweiterter Temperatur- und Spannungsbereich zugelassen werden. Damit können auch diejenigen Festwertspeicher verwendet werden, die normalerweise bei den eingeschränkten Temperatur- und Spannungsbereichen nicht mehr eingesetzt werden dürfen.

Die Ermittlung der Zeitdauer und der Gesamtdauer des Programmiersignals wird auf besonders einfache Weise erreicht, wenn das Programmiersignal aus kurzen Programmierimpulsen gebildet wird, wenn nach jedem Programmierimpuls die Speicherzelle ausgelesen wird und wenn die Gesamtdauer des Programmiersignals durch die Gesamtzahl der Programmierimpulse festgelegt wird.

Zur Ermittlung der Gesamtdauer des Programmiersignals ist es vorteilhaft, wenn aufgrund empirischer Werte die Gesamtdauer des Programmiersignals aus der Prüfzeitdauer durch Berechnung ermittelt wird oder wenn die Gesamtdauer des

Programmiersignals in Abhängigkeit von der Prüfzeitdauer tabellarisch gespeichert ist.

5 Um bei einem Festwertspeicher, der innerhalb der Temperatur- und Spannungsbereiche nicht mehr programmierbar ist, die Programmierung rechtzeitig abbrechen zu können ist es vorteilhaft, wenn die Programmierung beendet wird, falls die ermittelte Gesamtdauer des Programmiersignals eine vorgegebene maximale Programmierzeitdauer überschreitet.

10 Eine vorteilhafte Ausgestaltung einer Schaltungsanordnung zur Durchführung des Verfahrens ist gekennzeichnet durch eine die Programmiersignale in Abhängigkeit von den einzuspeichernden Binärwerten erzeugende Programmierstufe, durch  
15 einen den aus der gerade zu beschreibenden Speicherzelle gelesenen Binärwert mit dem einzuspeichernden Binärwert vergleichenden Vergleichler, durch eine die Prüfzeitdauer messende und die Gesamtdauer ermittelnde Schaltstufe und durch einen den zeitlichen Ablauf der Programmierung steuernden Taktgeber. Dabei ist es günstig, wenn ein Zwischenspeicher vorgesehen ist, in dem die einzuspeichernden Binärwerte während der Programmierung gespeichert werden.

25 Falls die Gesamtdauer durch eine Berechnung ermittelt wird, ist es von Vorteil, wenn die Schaltstufe ein Rechenwerk enthält, das aus der Prüfzeitdauer die Gesamtdauer errechnet.

30 Falls das Rechengesetz zur Ermittlung der Gesamtdauer tabellarisch erfaßt ist, ist es günstig, wenn die Schaltstufe einen Speicher enthält, in dem verschiedenen Prüfzeitdauern zugeordnete Gesamtdauern gespeichert sind.

35 Die Schaltungsanordnung erfordert einen besonders geringen Aufwand, wenn der Vergleichler, die Schaltstufe und der Takt-

geber Bestandteile eines Mikroprozessors sind.

Im folgenden wird eine Durchführung des Verfahrens gemäß der Erfindung anhand von Zeichnungen beschrieben.

5 Es zeigen:

Fig. 1 eine Darstellung des Programmiergrads eines Festwertspeichers in Abhängigkeit von der Zeitdauer eines Programmiersignals,

10 Fig. 2 ein Blockschaltbild einer Schaltungsanordnung zum Programmieren des Festwertspeichers.

Bei der Darstellung in Fig. 1 sind in Abszissenrichtung die Zeit  $t$  und in Ordinatenrichtung der Programmiergrad  $P$  und das Programmiersignal  $PR$  aufgetragen. Bei der Darstellung des Programmiergrads  $P$  stellt die durchgezogene dargestellte Linie die Kennlinie einer bestimmten Speicherzelle dar, während die beiden daneben verlaufenden, gestrichelt dargestellten Linien den Streubereich darstellen. Der Streubereich wird entweder durch die Kennlinien der restlichen Speicherzellen eines Festwertspeichers oder die Kennlinien von Speicherzellen in weiteren Festwertspeichern dargestellt. Das Programmiersignal  $PR$  wird bei der Darstellung aus einer Mehrzahl von Programmierimpulsen gebildet.

25

Zum Zeitpunkt  $t_0$  wird der erste Programmierimpuls des Programmiersignals  $PR$  abgegeben. Es wird angenommen, daß der Festwertspeicher zunächst gelöscht ist und in allen Speicherzellen der Binärwert 0 eingespeichert ist und in eine betrachtete Speicherzelle der Binärwert 1 eingespeichert werden soll. Weiterhin wird angenommen, daß nach jedem Programmierimpuls die Speicherzelle ausgelesen wird und geprüft wird, ob der einzuspeichernde Binärwert 1 bereits in der Speicherzelle gespeichert ist.

35



Nach dem ersten Programmierimpuls ist der Binärwert 1 noch nicht eingespeichert, so daß weitere Programmierimpulse erzeugt werden. Zum Zeitpunkt  $t_1$ , nach der Prüfzeitdauer  $T_1$  wird erstmals der Binärwert 1 aus der Speicherzelle ausgelesen. Die Programmierung des Festwertspeichers kann damit aber noch nicht beendet werden, da nach dieser Zeitdauer des Programmiersignals PR eine Informationserhaltung über eine genügend lange Zeit noch nicht gewährleistet werden kann. Die Informationserhaltung wird erst dann gewährleistet, wenn der Programmiergrad von 100 % erreicht ist.

Da der prinzipielle Verlauf der Kennlinien der Festwertspeicher bekannt ist und auch empirisch ermittelt werden kann, kann aus der Prüfzeitdauer  $T_1$  die Gesamtdauer  $T_2$  ermittelt werden, mit der die Speicherzelle durch das Programmiersignal PR beaufschlagt werden muß, um den Programmiergrad von 100 % zu erreichen. Die Ermittlung der Gesamtdauer erfolgt beispielsweise durch Berechnung, wenn die Kennlinie durch eine einfache Funktion, beispielsweise eine Parabel angenähert werden kann. Die Gesamtdauern können auch in Abhängigkeit von verschiedenen Prüfzeitdauern tabellarisch gespeichert sein, so daß sich die Gesamtdauer  $T_2$  des Programmiersignals PR aus der Prüfzeitdauer  $T_1$  unmittelbar ergibt. Eine die Programmierung durchführende Schaltungsanordnung erfordert dabei einen besonders geringen Aufwand, wenn das Programmiersignal PR durch die Prüfimpulse dargestellt wird, da dann die Prüfzeitdauer  $T_1$  durch die Anzahl der Programmierimpulse quantisiert angegeben werden kann und auch die Gesamtzeitdauer  $T_2$  durch die Gesamtzahl von Programmierimpulsen angegeben werden kann.

Zum Zeitpunkt  $t_2$ , nach der Gesamtdauer  $T_2$ , ist der Programmiergrad von 100 % erreicht und eine Informationserhaltung über eine längere Zeit ist damit gewährleistet. Das Programmiersignal PR wird damit beendet und mit der Program-

mierung einer weiteren Speicherzelle des Festwertspeichers kann begonnen werden.

Falls der Binärwert 1 zum ersten Mal zum Zeitpunkt  $t_1'$  aus  
5 der zu programmierenden Speicherzelle ausgelesen worden  
wäre, wäre der Programmiergrad  $P$  von 100 % erst zu einem  
nicht dargestellten späteren Zeitpunkt erreicht worden.

Da durch das Verfahren die Gesamtdauer  $T_2$  individuell für  
10 jede Speicherzelle durch die entsprechende Prüfzeitdauer  
 $T_1$  festgelegt wird, muß die Gesamtdauer  $T_2$  des Programmier-  
signals  $PR$  nicht nach der größten zugelassenen Gesamtdauer  
bemessen werden. Die Gesamtdauer  $T_2$  wird somit individuell  
15 an die einzelnen Speicherzellen selbsttätig angepaßt und es  
wird eine kürzere Programmierzeit für den gesamten Festwert-  
speicher erreicht. Falls die ursprüngliche Programmierzeit  
beibehalten werden kann, können auch Festwertspeicher pro-  
grammiert werden, die in einem erweiterten Temperatur- oder  
Spannungsbereich, bei Verwendung des bekannten Verfahrens  
20 nicht mehr programmiert werden könnten.

Bei dem in Fig. 2 dargestellten Blockschaltbild einer Schal-  
tungsanordnung zum Programmieren von Festwertspeichern wer-  
den dem Festwertspeicher  $SP$  die Programmiersignale  $PR$  von  
25 einer Programmierstufe  $PS$  zugeführt. Die Programmierstufe  
 $PS$  kann in bekannter Weise ausgebildet sein. Der einzuspei-  
chernde Binärwert wird als Signal  $D_1$  der Programmierstufe  
 $PS$  über einen Zwischenspeicher  $ZS$  zugeführt. In den Zwi-  
schenspeicher  $ZS$  gelangt der Binärwert durch ein Signal  
30  $D$ , das nach dem Betätigen eines Kontaktes  $K$  erzeugt wird.  
Der Kontakt  $K$  wird entweder durch eine Taste oder durch  
einen Lochstreifen gesteuert. Ein Taktgeber  $TG$  gibt an den  
Zwischenspeicher  $ZS$  ein Taktsignal  $S_1$  ab, mit dem der Bi-  
närwert des Signals  $D$  übernommen wird. Der Taktgeber  $TG$   
35 erzeugt weiterhin die das Programmiersignal  $PR$  bildenden

Programmierimpulse und gibt sie als Signale S2 an die Programmierstufe PS ab. Gleichzeitig gibt er ein Signal S3 an den Festwertspeicher SP ab, mit dem dieser vor jedem Programmierimpuls auf das Einspeichern und nach jedem Programmierimpuls auf das Auslesen umgeschaltet wird.

Ein Vergleicher VG vergleicht zu durch Signale S4 festgelegten Zeitpunkten, die einzuspeichernden Binärwerte, die durch die Signale D1 dargestellt werden, mit den aus dem Festwertspeicher ausgelesenen Binärwerten, die durch Signale D2 dargestellt werden. Wenn erstmals die Binärwerte der Signale D1 und D2 übereinstimmen, gibt der Vergleicher VG ein Signal S5 an eine Schaltstufe SS ab, die aus der Zeitdifferenz zwischen dem Beginn der Programmierung und dem Auftreten des Signals S5 die Prüfzeitdauer T1 mißt. Aus der Prüfzeitdauer T1 ermittelt die Schaltstufe SS die Gesamtdauer T2 entweder durch Rechnung oder durch Auslesen eines dort tabellarisch gespeicherten Wertes, gibt an den Taktgeber TG Signale S6 ab, die die Gesamtzahl der Programmierimpulse angibt. Die Schaltstufe SS wird dabei durch vom Taktgeber TG abgegebene Signale S7 gesteuert. Wenn die Anzahl der Programmierimpulse mit der durch die Signale angegebenen Anzahl übereinstimmt, wird das Signal S2 und damit das Programmiersignal PR beendet. Anschließend wird mit der Programmierung der nächsten Speicherzelle begonnen.

Auf eine Darstellung der Adressensteuerung, mit der die verschiedenen Speicherzellen des Festwertspeichers SP angesteuert werden, wurde verzichtet, da sie nicht Gegenstand der vorliegenden Erfindung ist. Außerdem wurde die Durchführung des Verfahrens auf die Programmierung einer einzigen Speicherzelle beschränkt. In ähnlicher Weise können auch mehrere Speicherzellen, beispielsweise acht, gleichzeitig programmiert werden.

2840305

11

- 9 -

VPA 78 P 2331 BRG

Zur Ermittlung der Gesamtdauer T2 kann die Schaltstufe mit einem Rechenwerk versehen sein, oder einen Festwertspeicher enthalten, in dem die verschiedenen Prüfzeitdauern T1 zugeordneten Gesamtzeitdauern T2 gespeichert sind. Auch kann die Schaltstufe SS einen Vergleicher enthalten, der eine Beendigung der Programmierung veranlaßt, wenn die ermittelte Gesamtdauer T2 des Programmiersignals PR eine vorgegebene maximale Programmierzeit überschreitet. In diesem Fall ist der zu programmierende Festwertspeicher für den vorgesehenen Einsatzfall nicht geeignet.

Eine besonders einfache Ausführungsform der Schaltungsanordnung wird erreicht, wenn der Taktgeber TG, der Zwischenspeicher ZS, der Vergleicher VG und die Schaltstufe SS Bestandteile eines Mikroprozessors sind. In diesem Fall gibt der Mikroprozessor die Signale S2 und D1 an die in bekannter Weise ausgebildete Programmierstufe PS ab und ihm werden die Signale D2 zugeführt, die beim Lesen der gerade zu programmierenden Speicherzelle vom Festwertspeicher SP abgegeben werden.

10 Patentansprüche  
2 Figuren.

25

030013/0304

VPA

Zusammenfassung

78 P 2 3 8 1 BRD

Die Erfindung bezieht sich auf ein Verfahren zum Programmieren von beschreibbaren Festwertspeichern, bei denen Binärwerte durch Programmiersignale (PR) eingespeichert werden.

Die Gesamtdauer (T2) des Programmiersignals (PR) wird in Abhängigkeit von einer Prüfzeitdauer (T1) ermittelt, wobei die Prüfzeitdauer (T1) die Zeitdauer angibt, nach der der gewünschte Binärwert erstmals in der zu beschreibenden Speicherzelle gespeichert ist. Die Ermittlung der Gesamtdauer (T2) erfolgt entweder durch Berechnung oder durch tabellarische Speicherung. Das Programmiersignal (PR) wird vorzugsweise aus einer Mehrzahl von kurzen Programmierimpulsen gebildet.

Das Verfahren wird verwendet bei der Programmierung von elektrisch änderbaren oder elektrisch löschbaren Festwertspeichern.

(Fig. 2)

Nummer: 28 40 305  
 Int. Cl.<sup>2</sup>: G 11 C 17/00  
 Anmeldetag: 15. September 1978  
 Offenlegungstag: 27. März 1980

- 13 -

2840305

78 P 2 3 3 1 BRD 1/1

FIG 1

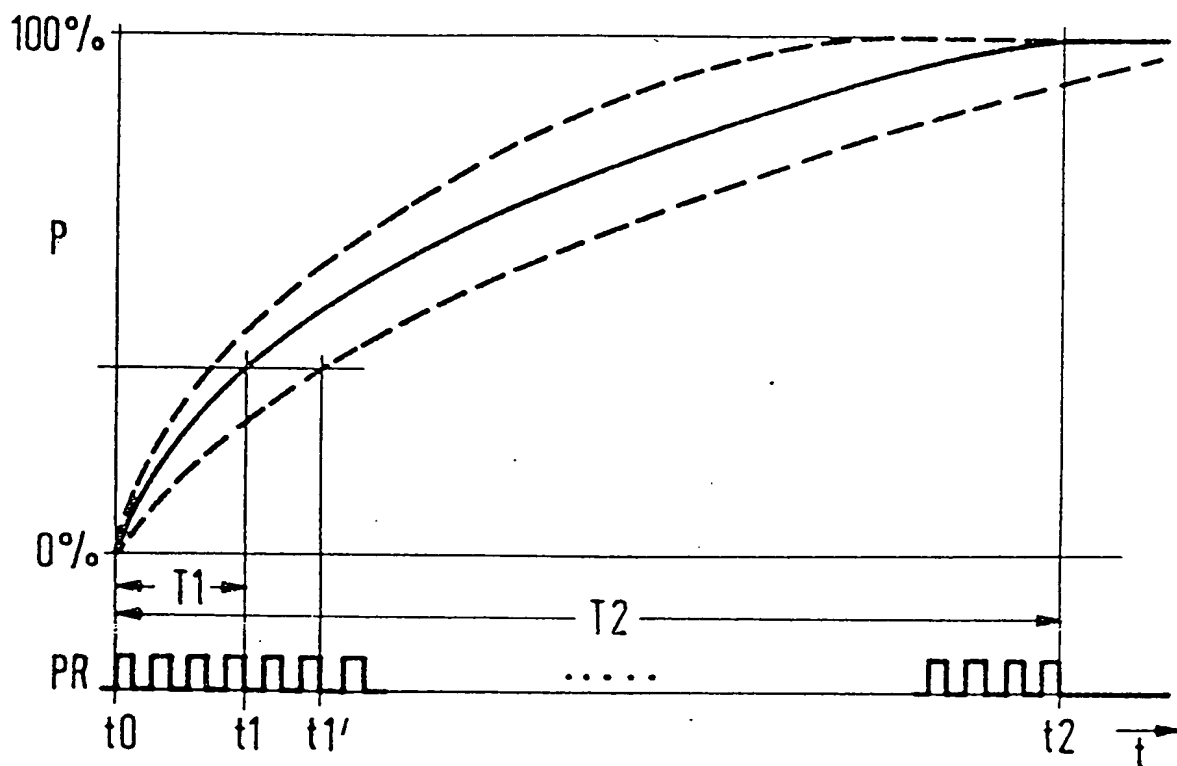
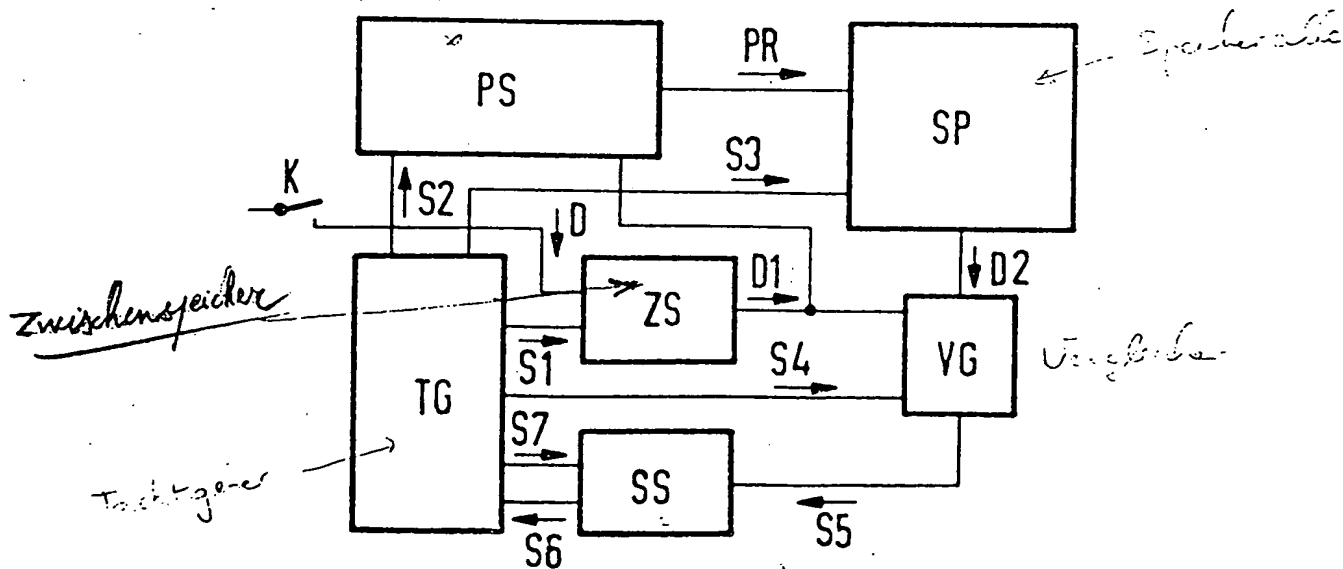


FIG 2



030013/0304

### Claims

1. Method for programming writeable read-only memories in which binary values are stored and/or changed in memory locations by means of programming signals,

c h a r a c t e r i z e d i n t h a t a programming signal (PR) associated to the binary value to be stored is supplied to the memory location about to be written to; and in that a check time period (T1) is determined by means of reading the contents of the memory location, after which the binary value is stored in the memory location for the first time, and that the total time period (T2) required for permanently storing the binary value is determined depending on the check time period (T1).

2. Method according to claim 1, c h a r a c t e r i z e d i n t h a t the programming signal (PR) consists of short programming pulses; and in that the memory location is read after each programming pulse; and in that the total time period (T2) of the programming signal (PR) is determined by the total number of programming pulses.

3. Method according to claim 1 or 2, c h a r a c t e r i z e d i n t h a t the total time

period (T2) of the programming signal (PR) is determined from the check time period (T1) by means of calculation.

4. Method according to claim 1 or 2, characterized in that the total time period (T2) of the programming signal (PR) is stored depending on the check time period (T1) in a table.

5. Method according to one of claims 1 through 4, characterized in that programming is terminated if the determined total time period (T2) of the programming signal (PR) exceeds a specified maximum duration of programming.

6. Circuit arrangement for implementing the method according to claim 1, characterized by a programming stage (PS) generating the programming signals (PR) depending on the binary values to be stored; by a comparator (VG) comparing the binary value read out from the memory location about to be written to with the binary value to be stored; by a switching stage (SS) measuring the check time period (T1) and determining the total time period (T2) of the programming signal (PR); and by a clock (TG) controlling the timing sequence of



the programming process.

7. Circuit arrangement according to claim 6, characterized in that an intermediate memory (ZS) is provided in which the binary values to be stored are stored during programming.

8. Circuit arrangement according to claim 6 or 7, characterized in that the switching stage (SS) contains an arithmetic unit which calculates the total time period (T2) of the programming signal (PR) from the check time period (T1).

9. Circuit arrangement according to claim 6 or 7, characterized in that the switching stage (SS) contains a memory in which several total time periods (T2) allocated to different check time periods (T1) are stored.

10. Circuit arrangement according to one of claims 6 through 9, characterized in that the comparator (VG), the switching stage (SS) and the clock (TG) are all components of a microprocessor.

SIEMENS AKTIENGESELLSCHAFT

Our Ref. No.

Berlin and Munich

VPA

Method for programming writeable read-only memories

The present invention concerns a method for programming writeable read-only memories in which binary values are stored and/or changed in memory locations by means of programming signals. In addition, the invention concerns a circuit arrangement for implementing this method.

Electrically programmable, electrically eraseable and electrically alterable read-only memories are known as writeable read-only memories. Programming of these read-only memories is performed by means of programming signals which, depending on the binary values to be stored, are supplied to the corresponding memory locations. These programming signals must be present during a specified programming duration in order to ensure that the binary values are stored in the read-only memory over a long period of time. One measure for the certainty of the maintenance of information in the read-only memory is the degree of programming. With an increasing duration of programming the degree of programming increases up to a value of 100%. Depending

on the ROM chips used, the degree of programming may vary over a relatively wide range with identical programming times, even between individual memory locations within one ROM chip. The degree of programming also depends on the temperature of the read-only memory during programming; specifically, with an increase in temperature the degree of programming decreases from a value of 100%. Finally the degree of programming depends on the programming voltage as well, i.e. on the amplitude of the programming signal.

Therefore significant limitations on the time, temperature and voltage ranges apply to the known method for programming read-only memories and must be taken into consideration. With the known method the time ranges are selected in such a way as to achieve the desired degree of programming with certainty. If the desired degree of programming is reached earlier in different read-only memories or memory locations, however, this fact is not taken into consideration in the known method. In addition, those read-only memories cannot be used, where the required degree of programming is not achieved within a wider temperature or voltage range.

Thus it is the task of the present invention to specify a method for programming read-only memories in which the duration of programming is matched automatically with the characteristics of the read-only memory or of the individual memory locations.

According to the invention this task is solved by the method of the kind mentioned above by supplying a programming signal allocated to the binary value to be stored to the memory location about to be written to, by determining a check time period by means of reading the contents of the memory location, after which the binary value is stored for the first time in the memory location, and by specifying the total duration of the programming signal required for permanent storage of the binary value depending on the check time period.

The method according to the invention makes use of the fact that the total duration of the programming signal, which is sufficient to assure storage in the read-only memory of the binary value over a long period of time with high certainty, can be ascertained from the check time period, after which the desired binary value is stored for the first time.

The present method has the advantage that the read-only memory can be programmed in a shorter time, because the total duration of each programming signal is determined individually and there is no need to fix it at a defined or assumed maximum total duration. An expanded temperature and voltage range can therefore be admitted for the same average total duration of programming. This makes it possible to use even those ROM chips which normally cannot be used with the limited temperature and voltage ranges.

Determination of the time period and of the total duration of the programming signal becomes particularly easy if the programming signal consists of short programming pulses, if the memory location is read after each programming pulse, and if the total duration of the programming signal is determined by the total number of programming pulses.

In determining the total duration of the programming signal it is advantageous to perform the calculation of the total duration of the programming signal from the check time period on the basis of empirical values, or to store the total duration of the programming signal in a

table depending on the check time period.

In order to be able to stop the programming of a read-only memory, which can no longer be programmed inside the temperature and voltage ranges, in time, it is advantageous if programming is terminated when the total time period of the programming signal determined exceeds a specified maximum duration of the programming time.

An advantageous design of a circuit arrangement for implementing the method is characterized by a programming stage generating the programming signals depending on the binary values to be stored; by a comparator comparing the binary value read from the memory location about to be written to with the binary value to be stored; by a switching stage measuring the check time period and determining the total time period of the programming signal; and by a clock controlling the timing sequence of the programming process. It is further advantageous to provide an intermediate memory in which the binary values to be stored are stored during programming.

When the total time period is determined by calculation it is advantageous if the switching stage contains an

arithmetic unit which calculates the total time period from the check time period.

When the computational rule for determining the total time period is provided in a table it is advantageous if the switching stage contains a memory in which several total time periods allocated to different check time periods are stored.

The circuit arrangement can be kept especially simply if the comparator, the switching stage and the clock are all components of a microprocessor.

An embodiment of the method according to the invention will be described below referring to drawings.

The figures show:

Fig. 1 a graphic representation of the degree of programming of a read-only memory depending on the duration of a programming signal;

Fig. 2 a block diagram of a circuit arrangement for programming the read-only memory.

In fig. 1 the time  $t$  is plotted along the X coordinate, while the degree of programming  $P$  and programming signal  $PR$  are plotted along the Y coordinate. In the

representation of the degree of programming P the solid line represents the characteristic curve of a certain memory location, while the two dotted lines running alongside represent the scattering range. The scattering range is represented either by the characteristic curves of the remaining memory locations of a read-only memory or by the characteristic curves of memory locations in further read-only memories. In the representation programming signal PR is formed from a multitude of programming pulses.

The first programming pulse of programming signal PR is output at time  $t_0$ . It is assumed that the read-only memory is first erased, that binary value 0 is stored in all memory locations, and that binary value 1 is to be stored in the individual memory location under consideration. Furthermore it is assumed that the memory location is read after each programming pulse and that a check is performed to determine whether binary value 1 to be stored is already stored in the memory location.

After the first programming pulse binary value 1 is not yet stored, so that further programming pulses are generated. At time  $t_1$ , after check time period  $T_1$ ,



binary value 1 is first read out from the memory location. This does not, however, conclude programming of the read-only memory, because the maintenance of information over a sufficiently long period of time is not yet assured after this duration of programming signal PR. The maintenance of information is assured only when the degree of programming has reached 100%.

Since the basic characteristic curves of the read-only memories are known and can also be determined empirically, total time period  $T_2$ , during which programming signal PR must be supplied to the memory location in order to achieve a degree of programming of 100%, can be determined from the check time period  $T_1$ . When the characteristic curve can be approximated by a simple function, such as a parabola, the determination of the total time period may be performed by means of calculation. The total time periods can also be stored in a table depending on the different check time periods, so that total time period  $T_2$  of programming signal PR results directly from check time period  $T_1$ . The circuit arrangement implementing the programming can be kept especially simple when programming signal PR is

represented by the check pulses, since in such a case the indication of check time period  $T_1$  can be quantized through the number of programming pulses, while the indication of total time period  $T_2$  similarly can be quantized through the total number of programming pulses.

At time  $t_2$ , after total time period  $T_2$ , a degree of programming of 100% has been reached, and the maintenance of information over a long period of time is thus assured. Programming signal PR is therefore terminated, and programming of the next memory location of the read-only memory may commence.

If binary value 1 had been read out from the memory location to be programmed at time  $t_1'$  for the first time, a degree of programming P of 100% would have been achieved at a later time not shown.

Since in the present method the total time period  $T_2$  is determined individually for each memory location by the corresponding check time period  $T_1$ , it is not necessary that the total time period  $T_2$  of programming signal PR corresponds to the maximum total time period permitted. Total time period  $T_2$  is thus automatically matched

individually to individual memory locations, resulting in a shorter programming time for the entire read-only memory. If the original programming time can be maintained, read-only memories in an expanded temperature and voltage range can also be programmed, which are impossible to program using the known method.

In the block diagram of fig. 2 showing a circuit arrangement for programming read-only memories the programming signals PR are supplied to the read-only memory SP from a programming stage PS. Programming stage PS may be of known design. The binary value to be stored is supplied to programming stage PS via an intermediate memory ZS as signal D1. The binary value reaches intermediate memory D by a signal D generated after a contact K has been actuated. Contact K is controlled either by a button or by a tape. A clock TG outputs a timing signal S1 to intermediate memory ZS, which takes the binary value of signal D. Clock TG also generates the programming pulses forming programming signal PR and outputs these pulses as signals S2 to programming stage PS. At the same time the clock outputs a signal S3 to read-only memory SP to switch it to the writing mode

before each programming pulse and to the reading mode after each programming pulse.

At times determined by signals S4 a comparator VG compares the binary values to be stored, which are represented by signals D1, with the binary values read out from the read-only memory and represented by signals D2. When the binary values of signals D1 and D2 are matched for the first time, comparator VG outputs a signal S5 to a switching stage SS which measures the check time period T1 from the time difference between the start of programming and the occurrence of signal S5. Switching stage SS determines the total time period T2 from check time period T1 either by calculation or by reading the value stored there in a table and outputs to clock TG signals S6 which indicate the total number of programming pulses. During this operation switching stage SS is controlled by signals S7 output from clock TG. When the number of programming pulses matches the number indicated by the signals, signal S2 and thus programming signal PR are terminated. Subsequently programming of the next memory location commences.

A graphic representation of the address control unit used

to address the different memory locations of read-only memory SP was omitted, since it does not concern the present invention. In addition, the implementation of the method was limited to programming of a single memory location. Several memory locations, eight for instance, can be programmed simultaneously in a similar manner.

In order to determine total time period T2 the switching stage may be provided with an arithmetic unit, or it may contain a read-only memory, in which the total time periods T2 allocated to different check time periods T1 are stored. Furthermore, switching stage SS may contain a comparator causing termination of programming if the determined total time period T2 of programming signal PR exceeds a specified maximum programming time. In this case the read-only memory to be programmed is not suited for the intended application.

An especially simple embodiment of the circuit arrangement according to the invention is achieved when the clock TG, the intermediate memory ZS, the comparator VG and the switching stage SS are all components of a microprocessor. In this case the microprocessor outputs signals S2 and D1 to the programming stage PS of known

design, and signals D2, which are output from the read-only memory SP when the contents of the memory location to be stored are read, are input to the microprocessor.

10 claims

2 drawings

### Conclusion

The present invention concerns a method for programming writeable read-only memories in which binary values are stored in memory locations by means of programming signals.

The total time period (T2) of the programming signal (PR) is determined depending on a check time period (T1), whereby the check time period (T1) indicates the period of time after which the desired binary value is stored in the memory location to be written for the first time.

The determination of the total time period (T2) is performed either by calculation or by storage in a table. The programming signal (PR) is preferably formed by a multitude of short programming pulses.

The method is used for programming of electrically

alterable or electrically eraseable read-only memories.

(Fig. 2)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**